

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001 年 9 月 13 日 (13.09.2001)

PCT

(10) 国際公開番号  
WO 01/67243 A1

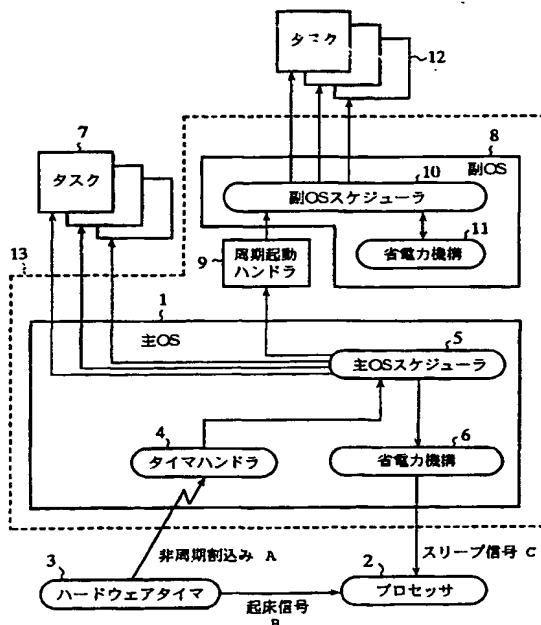
- (51) 国際特許分類<sup>7</sup>: G06F 9/46, 1/32 (72) 発明者; および  
(21) 国際出願番号: PCT/JP00/08176 (75) 発明者/出願人 (米国についてのみ): 片山吉章  
(22) 国際出願日: 2000 年 11 月 20 日 (20.11.2000) (KATAYAMA, Yoshiaki) [JP/JP]; 〒100-8310 東京都  
(25) 国際出願の言語: 日本語 千代田区丸の内二丁目2番3号 三菱電機株式会社内  
(26) 国際公開の言語: 日本語 Tokyo (JP).  
(30) 優先権データ: 特願2000-63188 ✓ 2000 年 3 月 8 日 (08.03.2000) JP (74) 代理人: 田澤博昭, 外(TAZAWA, Hiroaki et al.); 〒  
(71) 出願人 (米国を除く全ての指定国について): 三 100-0013 東京都千代田区霞が関三丁目7番1号 大東  
菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI ビル7階 Tokyo (JP).  
KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内  
二丁目2番3号 Tokyo (JP). (81) 指定国 (国内): CN, US.  
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE,  
DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

[続葉有]

(54) Title: METHOD FOR PROCESSOR POWER-SAVING, RECORDED MEDIUM, AND PROCESSOR POWER-SAVING CONTROLLER

(54) 発明の名称: プロセッサ省電力制御方法、記録媒体、およびプロセッサ省電力制御装置

(57) Abstract: In an environment where multiple OSs are present in one processor having a power saving function, a power-saving processor controller has a main OS that accepts a timer interrupt outputted from a hardware timer at a timing when a predetermined time elapses and a sub-OS treated as a task executed by the main OS, judges whether an executable task is present or not at the timing of the timer interrupt, and carries out an interrupt to the sub-OS if any executable task is present in the sub-OS.



- 12...TASK  
7...TASK  
10...SUB-OS SCHEDULER  
8...SUB-OS  
9...PERIODICAL START HANDLER  
11...POWER-SAVING MECHANISM  
1...MAIN OS  
5...MAIN-OS SCHEDULER  
4...TIMER HANDLER  
6...POWER-SAVING MECHANISM  
A...NON-PERIODICAL INTERRUPT  
3...HARDWARE TIMER  
B...WAKE-UP SIGNAL  
2...PROCESSOR  
C...SLEEP SIGNAL

[続葉有]

WO 01/67243 A1



添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

(57) 要約:

省電力機能を有する1つのプロセッサ上に複数のOSが存在する環境において、所定の時間経過を契機としてハードウェアタイマから出力されるタイマ割込みを受け付ける主OSと、この主OSにより実行されるタスクとして扱われる副OSを含み、主OSにおいて、タイマ割込みを契機として実行可能なタスクがないか判定し、副OS上に実行可能なタスクがある場合には、副OSに対して割込みを行うものである。

## 明 細 書

プロセッサ省電力制御方法、記録媒体、  
およびプロセッサ省電力制御装置

## 技術分野

この発明は、省電力機能を有する1つのプロセッサ上に複数のOS (Operating System: オペレーティングシステム) が存在する環境において、各OSへのタイマ割込みを統合して制御することにより、個別のタイマ割込みを回避してプロセッサの省電力モードを維持し、消費電力の抑制を図るプロセッサ省電力制御方法に関するものである。

## 背景技術

携帯電話、ノートブックパソコンなどの携帯情報端末は充電式のバッテリーを電源として使用する。しかし、端末を連続して使用した場合、充電式のバッテリーによる端末の動作時間はせいぜい数時間程度である。したがって、端末の動作時間を延長するためには、バッテリーの電力を効率よく使うための省電力機能の改善が不可欠である。この省電力機能のひとつとして、空き時間すなわちプロセッサが実行すべきタスクが存在しない時間には、プロセッサに対するクロックの供給を停止し、あるいはクロックの周波数レベルを低下させて省電力モードに移行させることによりプロセッサの消費電力を抑制する機能がある。省電力モードに移行されたプロセッサは、ハードウェアタイマによるタイマ割込みを契機として再起動される。

第1図は従来のプロセッサ省電力制御方法を示す概念図である。第1

図において、22はプロセッサである。また、23は第一のOS、24は第一のOS23に対して、所定の時間間隔(周期割込み)、あるいは指定された時間(非周期割込み)でタイマ割込みを行うハードウェアタイマ、25はハードウェアタイマ24からのタイマ割込みを受け付けるタイマハンドラ、26はタイマハンドラ25により呼び出され、タスクを順序よく実行するスケジューラ、27は実行するタスクがない場合にスケジューラ26により呼び出され、プロセッサ22を省電力モードに移行させる省電力機構、28は第一のOS23のタスクである。ハードウェアタイマ24は第一のOS23に対してタイマ割込みを行うと同時に、プロセッサ22に起床信号を出力して省電力モードにあるプロセッサを再起動する。

また、29は第二のOS、30は第二のOS29に対して、所定の時間間隔(周期割込み)、あるいは指定された時間(非周期割込み)でタイマ割込みを行うハードウェアタイマ、31はハードウェアタイマ30からのタイマ割込みを受け付けるタイマハンドラ、32はタイマハンドラ31により呼び出されタスクを順序良く実行するスケジューラ、33は実行するタスクがない場合にスケジューラ32により呼び出され、プロセッサ22を省電力モードに移行させる省電力機構、34は第二のOSのタスクである。ハードウェアタイマ30は第二のOS29に対してタイマ割込みを行うと同時に、プロセッサ22に起床信号を出力して省電力モードにあるプロセッサを再起動する。

以上説明したように、第一のOS23にはハードウェアタイマ24が、第二のOS29にはハードウェアタイマ30がそれぞれ設けられており、それぞれのハードウェアタイマ24、30は第一のOS23または第二のOS29に対して個別にタイマ割込みを行う。したがって、従来のプロセッサの省電力制御方法は、各OSのタイマ割込みが発生する度

に、プロセッサ 22 が起動されてしまうため、効率良く省電力モードを維持しておくことができないという問題点があった。

この発明は上記のような問題点を解決するためになされたもので、1つのプロセッサ上に複数のOSが存在する状況において、各OSに対するタイマ割込みを統合して制御することにより、タイマ割込み回数を少なくし、効率良くプロセッサの省電力モードを維持することが可能なプロセッサ省電力制御方法、およびこのプロセッサ省電力制御方法を実行するプロセッサ省電力制御装置を提案することを目的とする。

#### 発明の開示

この発明に係るプロセッサ省電力制御方法は、プロセッサにより実行制御される複数のOSとして、所定の時間経過を契機としてハードウェアタイマから出力されるタイマ割込みを受け付ける主OSと、この主OSにより実行されるタスクとして扱われる副OSを含み、主OSにおいて、タイマ割込みを契機として実行可能なタスクの有無を判定し、副OS上に実行可能なタスクが存在する場合には、副OSに対して割込みを行うものである。

このことによって、各OSからの個別のタイマ割込みが発生するのをなくすことができ、プロセッサの省電力モードを効率よく維持することができるという効果を奏する。

この発明に係るプロセッサ省電力制御方法は、複数のOSを実行制御するとともに、複数のOS上に実行するべきタスクが存在しない場合に動作が停止されるプロセッサに対して、任意の時間経過を契機としてプロセッサを起動させるハードウェアタイマによるタイマ割込み処理を制御し、プロセッサの省電力状態を保持するプロセッサ省電力制御方法において、複数のOSとして、ハードウェアタイマからのタイマ割込みを

受け付ける主OSと、この主OSにより実行されるタスクとして扱われる副OSとを含み、この主OSによる、タイマ割込みを検出するステップ、タイマ割込みを契機として、実行すべきタスクの有無を判定する第一の判定ステップ、実行すべきタスクが存在しない場合にプロセッサを停止させるプロセッサ停止ステップを含む主OS処理ステップと、副OSによる、実行すべきタスクの有無を判定する第二の判定ステップ、実行すべきタスクがない場合に第一の判定ステップに処理を引き渡すステップを含む副OS処理ステップと、第一の判定ステップにより副OS上に実行すべきタスクが存在すると判定された場合に副OSに割込み処理を行い、この割込みを契機として時間を計測して所定時間に第二の判定ステップを実行させる副OS割込みステップとを含むものである。

このことによって、複数のOS毎に割り当てられたハードウェアタイマから個別にタイマ割込みが発生するのを抑制することができ、効率よくプロセッサの省電力モードが維持できるという効果を奏する。

この発明に係るプロセッサ省電力制御方法は、一定時間ごとに副OSに割込みをする周期起動ハンドラにより実行される副OS割込みステップを含むものである。

このことによって、OSが提供する周期起動ハンドラ機能を利用し、各OSが要求するタイマ割込みを統合して制御することが可能になり、タイマの割込み回数を少なくし、効率良く省電力モードを維持することができるという効果を奏する。

この発明に係るプロセッサ省電力制御方法は、指定された時間後に副OSに割込みをするアラームハンドラにより実行される副OS割込みステップを含むものである。

このことによって、OSが提供するアラームハンドラ機能を利用する

ことで、必要なタイマ割込みだけを発生させるようにすることが可能になり、効率良く省電力モードを維持することができるという効果を奏する。

この発明に係るプロセッサ省電力制御方法は、副OSに割込みをするタスクであって、主OSが実行すべきタスクのうち最も高い優先順位が付された高優先度タスクにより実行される副OS割込みステップを含むものである。

このことによって、周期起動ハンドラ機能やアラームハンドラ機能をOSが有していなくても、高優先度タスクを利用することによって、必要なタイマ割込みだけを発生させるようにすることが可能になり、効率良く省電力モードを維持することができるという効果を奏する。

この発明に係るプロセッサ省電力制御方法は、ハードウェアタイマによる次のタイマ割込みまでの時間を計測するとともに、計測された時間が予め定められた時間よりも長いかに判定するステップを含み、計測された時間が予め定められた時間よりも長い場合にプロセッサの動作を停止させるプロセッサ停止ステップを含むものである。

このことによって、プロセッサの空き時間に常に省電力モードに移行するのではなく、予め決められた時間以上プロセッサが空きにならないと省電力モードに移行しないようにすることによって、頻繁にプロセッサを省電力モードに移行することによるオーバヘッド（省電力モードからの復帰に時間がかかる場合に発生する）を防ぐことができるという効果を奏する。

この発明に係るプロセッサ省電力制御方法は、ハードウェアタイマが一定時間ごとに周期的にタイマ割込み処理を行う場合、タスクの実行予定時間まで再度のタイマ割込み処理が必要か判定するステップと、再度のタイマ割込み処理が必要なければハードウェアタイマを停止させるス

テップとを行う主OS処理ステップを含むものである。

このことによって、非周期割込みを用いてシステムタイマを実現した状況において、時刻用タイマが必要な場合でも、時刻用タイマと主OSのシステムタイマ割込みをも統合して管理することにより、タイマの割込み回数を削減し、長い間プロセッサを省電力モードに保つことができるという効果を奏する。

この発明に係るプロセッサ省電力制御方法は、ハードウェアタイマよりも長い周期でタイマ割込みを行う長周期用ハードウェアタイマによるタイマ割込みを検出するステップを実行する主OS処理ステップを含むものである。

このことによって、実行待ち時間が異なるタスクに関しては長周期用タイマでタイマ割込みをすることが可能になり、ハードウェアタイマを停止して消費電力を低減させることができるという効果を奏する。

この発明に係るプロセッサ省電力制御方法は、時刻を計測するとともに所定の時刻にタイマ割込みを行う時刻用タイマによるタイマ割込みを検出するステップを実行する主OS処理ステップを含むものである。

このことによって、正確な時刻にタイマ割込みを発生させることができるという効果を奏する。

この発明に係る記憶媒体は、実行するべきタスクが存在しない場合に停止されるプロセッサにより実行制御される複数のOSとして、任意の時間経過を契機としてプロセッサを起動させるハードウェアタイマからタイマ割込みを受け付ける主OSと、この主OSにより実行されるタスクとして扱われる副OSとを含み、主OSにおいて、ハードウェアタイマによるタイマ割込みを検出するステップ、タイマ割込みを契機として、実行するべきタスクの有無を判定する第一の判定ステップ、実行するべきタスクが存在しない場合にプロセッサを停止させるプロセッサ停止



ステップを含む主OS処理ステップと、副OSにおいて、実行するべきタスクの有無を判定する第二の判定ステップ、実行するべきタスクがない場合に第一の判定ステップに処理を引き渡すステップを含む副OS処理ステップと、第一の判定ステップにおいて副OS上に実行するべきタスクが存在すると判定された場合に副OSに割込み処理を行い、この割込みを契機として時間を計測して所定時間に前記第二の判定ステップを実行させる副OS割込みステップを、コンピュータに実行させるためのプログラムを記録したものである。

このことによって、記憶媒体を用いてプロセッサを効率よく制御することができるという効果を奏する。

この発明に係るプロセッサ省電力制御装置は、任意の時間経過を契機としてタイマ割込みを行い、処理するべきタスクが存在しない場合に動作が停止されるプロセッサを起動させるハードウェアタイマを含むタイマ手段と、タイマ割込みを契機として実行するべきタスクの有無を判定し、実行するべきタスクが存在しない場合にはプロセッサを停止させ、実行するべきタスクが存在する場合には割込みを行う主OS、この主OSにより実行されるタスクとして扱われ、主OSからの割込みを契機として実行するべきタスクの有無を判定し、実行するべきタスクが存在する場合にはタスクを実行する副OSを記憶した記憶手段とを備えたものである。

このことによって、装置に設けるハードウェアタイマは一つですみ、複数のハードウェアタイマによるタイマ割込みによりプロセッサが頻繁に再起動されることがなくなるので装置の消費電力を抑制することができるという効果を奏する。

この発明に係るプロセッサ省電力制御装置は、ハードウェアタイマよりも長い周期でタイマ割込みを行う長周期用タイマを有するタイマ手段

を備えたものである。

このことによって、実行待ち時間が異なるタスクに関しては長周期用タイマでタイマ割込みをすることが可能になり、ハードウェアタイマを停止して消費電力を低減させることができるという効果を奏する。

この発明に係るプロセッサ省電力制御装置は、時刻用タイマを有するタイマ手段を備えたものである。

このことによって、正確な時刻にタイマ割込みを発生させることができるという効果を奏する。

#### 図面の簡単な説明

第1図は、従来のプロセッサ省電力制御装置を示す概念図である。

第2図は、この発明の実施の形態1に係るプロセッサ省電力制御装置を示す概念図である。

第3図は、この発明の実施の形態1にかかるプロセッサ省電力制御方法のうち主OS処理ステップを説明するフローチャートである。

第4図は、この発明の実施の形態1にかかるプロセッサ省電力制御方法のうち副OS処理ステップおよび副OS割込みステップを説明するフローチャートである。

第5図は、この発明の実施の形態2にかかるプロセッサ省電力制御装置を示す概念図である。

第6図は、この発明の実施の形態2にかかるプロセッサ省電力制御方法のうち副OS処理ステップおよび副OS割込みステップを説明するフローチャートである。

第7図は、この発明の実施の形態3に係るプロセッサ省電力制御装置を示す概念図である。

第8図は、この発明の実施の形態3にかかるプロセッサ省電力制御方

法のうち副OS処理ステップおよび副OS割込みステップを説明するフローチャートである。

第9図は、この発明の実施の形態4に係るプロセッサ省電力制御装置を示す概念図である。

第10図は、この発明の実施の形態4にかかるプロセッサ省電力制御方法のうち主OS処理ステップを説明するフローチャートである。

第11図は、この発明の実施の形態5に係るプロセッサ省電力制御装置を示す概念図である。

第12図は、この発明の実施の形態5にかかるプロセッサ省電力制御方法のうち主OS処理ステップを説明するフローチャートである。

第13図は、この発明の実施の形態6にかかるプロセッサ省電力制御装置を示す概念図である。

第14図は、この発明の実施の形態7に係るプロセッサ省電力制御装置を示す概念図である。

第15図は、この発明の実施の形態7にかかるプロセッサ省電力制御方法のうち主OS処理ステップを説明するフローチャートである。

第16図は、時刻用タイマによる割込み処理を説明するフローチャートである。

#### 発明を実施するための最良の形態

以下、この発明をより詳細に説明するために、この発明を実施するための最良の形態について、添付の図面に従ってこれを説明する。

##### 実施の形態1.

第2図はこの発明の実施の形態1に係るプロセッサ省電力制御装置を示す概念図である。第3図はプロセッサ省電力制御方法の処理手順のうち、主OS処理ステップを説明するフローチャートである。第4図はプ

ロセッサ省電力制御方法のうち、副OS処理ステップおよび副OS割込みステップを説明するフローチャートである。第2図において、1はプロセッサやタイマなどのハードウェアを実際に制御する主OS、2は省電力モードを有するプロセッサ、3は主OS1に対して非周期割込みを行い、時間経過通知が必要な時だけタイマ割込みを行うハードウェアタイマ、4はハードウェアタイマ3からのタイマ割込みによって起動する主OS1のタイマハンドラ、5はタイマハンドラ4により呼び出され、タスクを順序良く実行する主OSスケジューラ、6は主OS1上で実行するタスクがない場合に呼び出され、プロセッサ2を省電力モードに移行させるように制御する主OS1の省電力機構、7は主OS1上で処理される主OSタスクである。

また、8は主OS1以外のOSであって、主OS1で処理されるタスクのひとつとして動作する副OS、9は副OS8のタイマハンドラとして動作し、主OS1から起動される周期起動ハンドラ、10は周期起動ハンドラ9により呼び出され、タスクを順序良く実行する副OSスケジューラ、11は副OS8上で実行するタスクが無い場合に呼び出され、副OS8であるタスクを就寝状態にする副OS8の省電力機構、12は副OS8上で処理されるタスク、13は主OS1、副OS8を記憶する記憶手段である。

以下、この発明の実施の形態1にかかるプロセッサ省電力制御方法による主OS処理ステップについて第3図を用いて説明する。S101において、主OS1が起動されると、ハードウェアタイマ3によるタイマ割込みを受け取るためのタイマハンドラ4が登録される。S102において、主OS1のスケジューラ5は主OS1上に実行可能タスクがあるかどうか判断し、実行可能タスクが存在すればS103においてそのタスクを実行させる。スケジューラ5は副OS8も主OS1のタスクの1

つとして扱う。

一方、スケジューラ 5 は主 OS 1 上に実行可能タスクがなければ、主 OS 1 の省電力機構 6 を呼び出す。そして、S 1 0 4 において省電力機構 6 はプロセッサ 2 を省電力モードに移行させる。ところで、プロセッサ 2 が省電力モードに移行された状態でハードウェアタイマ 3 がタイマ割込みを起こすと、主 OS 1 のタイマハンドラ 4 が起動されて S 1 1 1 が実行される。S 1 1 1 において、タイマハンドラ 4 はスケジューラ 5 を呼び出す。スケジューラ 5 は、副 OS 8 を含むタスクのうち実行可能タスクがあるか判断し、必要に応じて、例えば、副 OS 8 の実行時間が来ていれば（タイムアウトしていれば）、S 1 1 2 において副 OS 8 への割込みを行う。一方、S 1 1 1 において実行可能タスクがない場合にはハンドラを終了し、S 1 0 2 に処理を引き渡す。

次に、第 4 図を用いて副 OS 処理ステップおよび副 OS 割込みステップについて説明する。副 OS 8 は主 OS 1 の実行するタスクのひとつとして扱われる。S 1 1 2 において主 OS 1 からの割込みにより副 OS 8 が起動され、S 1 2 1 において、主 OS 1 からの割込みを受けるための周期起動ハンドラ 9 が登録される。周期起動ハンドラ 9 は、指定された一定時間ごとにくり返しハンドラに記述された処理を行う機能であり、副 OS 8 のシステムタイマとして動作する。主 OS 1 からの割込みを受けて起動された周期起動ハンドラ 9 は副 OS 8 のスケジューラ 1 0 を呼び出す。副 OS 8 のスケジューラ 1 0 は、S 1 2 2 において、副 OS 8 上に実行可能タスクがあるかどうか判断し、実行可能タスクが存在すれば S 1 2 3 においてそのタスクを実行する。一方、副 OS 8 上に実行可能タスクがなければ、スケジューラ 1 0 は副 OS 8 の省電力機構 1 1 を呼び出し、S 1 2 4 において主 OS 1 のアプリケーションプログラムインタフェース（API）を利用して副 OS 8 を就寝状態にする。なお、

副OS 8が就寝状態にあっても周期起動ハンドラ9は動作しており、所定時間になると割込み処理を行う。

副OS 8割込みステップは、副OS 8のシステムタイマとして動作する周期起動ハンドラ9がタイムアウトを起こすと実行される。すなわち、S 1 3 1において、周期起動ハンドラ9は副OS 8への割込みを行い、副OS 8のスケジューラ10を呼び出す。副OS 8のスケジューラ10はS 1 3 2において、タスク実行までに時間経過待ちをする必要があるかどうか判断する。時間待ちする必要がなければ、再度の割込みは不要であるので、S 1 3 5において周期起動ハンドラ9を停止する。そして、タスク実行までに時間待ちする必要があるれば、再度の割込みが必要であるので、S 1 3 3において周期起動ハンドラ9が停止中かどうか判断し、停止中であればS 1 3 4において周期起動ハンドラ9の起動を再開する。そして、S 1 3 6において、スケジューラ10は副OS 8上に実行可能タスクが存在するかどうか判断する。実行可能タスクが存在すれば、S 1 3 7において、副OS 8が就寝API (S 1 2 4) による就寝状態にあるかどうか判断し、就寝中であればS 1 3 8において副OS 8を起床させる。

上記説明によるプロセッサ省電力制御方法は、タイマ割込みと同時にプロセッサ2を再起動するハードウェアタイマ3からのタイマ割込みを主OS 1が統合して受付けることとし、副OS 8への割込みは主OS 1のスケジューラ5により呼び出される周期起動ハンドラ9が行うので、1度の割込みで主OS 1および副OS 8双方にタイマ割込みを行うことが可能となる。また、副OS 8上のタスクおよび主OS 1上のタスクが時間経過待ちを必要としない場合、すなわち再度の割込みが必要ではない場合には、ハードウェアタイマ3からの割込みを停止することが可能となる。これらの結果、ハードウェアタイマ3からの割込み回数を少な

くすることができ、プロセッサ 2 が省電力モードにある時間を長く保つことができるので、移動通信端末の消費電力を抑制することが可能となる。

また、上記説明によるプロセッサ省電力制御装置は、装置に設けるハードウェアタイマ 3 は一つですみ、複数のハードウェアタイマ 3 によるタイマ割込みによりプロセッサ 2 が頻繁に再起動されることがなくなるので装置の消費電力を抑制することができる。

## 実施の形態 2 .

第 5 図はこの発明の実施の形態 2 に係るプロセッサ省電力制御装置を示す概念図である。第 6 図はこの発明の実施の形態 2 にかかるプロセッサ省電力制御方法のうち副 OS 処理ステップおよび副 OS 割込みステップを説明するフローチャートである。第 5 図において、14 は副 OS 8 のタイマハンドラとして動作し、主 OS 1 から起動されるアラームハンドラである。なお、第 5 図において第 2 図と同一の符号は同一または相当部分を示すので説明は省略する。

主 OS 処理ステップについては第 3 図と同様であるため説明は省略する。以下、副 OS 処理ステップおよび副 OS 割込みステップについて、第 6 図を用いて説明する。副 OS 8 は主 OS 1 の実行するタスクのひとつとして扱われる。副 OS 8 が起動されると、S 2 2 1 において、主 OS 1 からの割込みを受けるためのアラームハンドラ 14 が登録される。アラームハンドラ 14 は、指定された時間後に一度だけハンドラに記述された処理を行う機能であり、副 OS 8 のシステムタイマとして動作する。主 OS 1 からの割込みを受けて起動されたアラームハンドラ 14 は副 OS 8 のスケジューラ 10 を呼び出す。副 OS 8 のスケジューラ 10 の処理 S 1 2 2 ~ S 1 2 4 については、第 3 図と同様であるため説明は

省略する。

副OS割込みステップは、副OS 8のシステムタイマとして動作するアラームハンドラ 14 がタイムアウトを起こすと実行される。すなわち、S 1 3 1において、アラームハンドラ 14 は副OS 8 への割込み処理を行い、副OS 8 のスケジューラ 10 を呼び出す。そして、S 2 3 1において、副OS 8 への割込み処理の結果、時間経過待ちする必要があるかどうか判断する。時間待ちする必要があるれば、S 2 3 2においてアラームハンドラ 14 を再度登録して、S 1 3 6 に処理が引き渡される。一方、S 2 3 1において時間経過待ちする必要がなければS 1 3 6 に処理が引き渡される。

実施の形態 1 で説明したプロセッサ省電力制御方法によると、副OS 8 のシステムタイマである周期起動ハンドラ 9 を介して副OS 8 への割込みを受け付けていたため、副OS 8 上のタスクが実行されるまでに時間がある場合であっても周期起動ハンドラ 9 からの割込みが周期的に発生し、結果として主OS 1 がハードウェアタイマ 3 からの割込みを周期的に受ける必要があった。これに対して、上記説明によるプロセッサ省電力制御方法は、副OS 8 のシステムタイマとして、指定された時間後に一度だけ割込みを行うアラームハンドラ 14 を介して副OS 8 への割込みを受け付けるようにしたので、真に必要な時だけ、ハードウェアタイマ 3 の割込みを発生させることができる。その結果、常に時間経過待ちを必要とするタスクが存在しても、ハードウェアタイマ 3 からの割込み回数を減らし、プロセッサ 2 が省電力モードである時間を長く保つことが可能となる。

実施の形態 3 .

第 7 図はこの発明の実施の形態 3 に係るプロセッサ省電力制御装置を



示す概念図である。第 8 図はプロセッサ省電力制御方法のうち、副 OS 処理ステップおよび副 OS 割込みステップを説明するフローチャートである。第 7 図において、15 は副 OS 8 のタイマハンドラとして動作し、主 OS 1 から起動される高優先度タスクである。主 OS 1 は優先度が高いタスクを先に実行するので、高優先度タスク 15 は副 OS 8 のタスクよりも高優先度に設定しておく必要がある。なお、第 7 図において第 2 図と同一の符号は同一または相当部分を示すので説明は省略する。

主 OS 処理ステップについては第 3 図と同様であるため説明は省略する。以下、副 OS 処理ステップおよび副 OS 割込みステップについて、第 8 図を用いて説明する。副 OS 8 は主 OS 1 の実行するタスクのひとつとして扱われる。副 OS 8 が起動されると、S 3 2 1 において、主 OS 1 からの割込みを受けるための高優先度タスク 15 が登録される。高優先度タスク 15 は副 OS 8 のシステムタイマとして動作する。主 OS 1 からの割込みを受けて起動された高優先度タスク 15 は副 OS 8 のスケジューラ 10 を呼び出す。副 OS 8 のスケジューラ 10 の処理 S 1 2 2 ~ S 1 2 4 については、第 3 図と同様であるため説明は省略する。

主 OS 1 上で動作する高優先度タスク 15 がタイムアウトを起こしたり、副 OS 8 上のタスクの待ち状態解除によって、高優先度タスク 15 が起動され、副 OS 割込み処理が実行される。高優先度タスク 15 は、S 3 3 1 において副 OS 8 への割込み処理を行う。S 1 3 6 ~ 1 3 8 に示す処理については第 4 図と同じであるため、説明を省略する。S 3 3 2 において、副 OS 8 への割込み処理の結果、時間経過待ちする必要があるかどうか判断する。時間待ちする必要があるれば、S 3 3 3 において主 OS 1 が提供する時間経過待ち API を発行して高優先度タスク 15 を就寝状態にする。時間経過待ちする必要がなければ、S 3 3 4 において主 OS 1 のタスク就寝 API を発行して高優先度タスク 15 を就寝状

態にする。

実施の形態 1 および実施の形態 2 にて説明したプロセッサ省電力制御方法によると、副 OS 8 のシステムタイマを周期起動ハンドラ 9 もしくはアラームハンドラ 14 で実現していたため、主 OS 1 がハンドラ機能を有していない場合、割込み機能を実現することが不可能であった。しかし、上記説明によるプロセッサ省電力制御方法によると、主 OS 1 が優先度スケジューリング機能さえ有していれば、ハンドラ機能を有していない主 OS 1 であってもハードウェアタイマ 3 によらずに副 OS 8 への割込み処理を実行することができる。

実施の形態 4 .

第 9 図はこの発明の実施の形態 4 に係るプロセッサ省電力制御装置を示す概念図である。第 10 図はプロセッサ省電力制御方法のうち、主 OS 処理ステップを説明するフローチャートである。第 9 図において、16 は主 OS 1 のタイマハンドラ 4 によりセットされ、主 OS 1 の省電力機構 6 により参照される省電力動作制御フラグである。なお、第 9 図において第 2 図と同一の符号は同一または相当部分を示すものであり説明は省略する。

次に動作について説明する。主 OS 1 は、実施の形態 1 と同様、時間経過通知が必要な時だけタイマ割込みをする非周期割込みを行うハードウェアタイマ 3 からタイマ割込みを受ける。以下、主 OS 処理ステップについて第 10 図を用いて説明する。処理 S 101 ~ S 104 は、第 3 図と同様の処理を行うので説明は省略する。S 401 において、省電力機構 6 は省電力動作制御フラグ 16 が立っているかどうかを参照し、省電力動作制御フラグ 16 が立っている時のみ、S 104 においてプロセッサ 2 を省電力モードへ移行させる。

ハードウェアタイマ 3 が非周期割込みを起こすと主 O S 1 のタイマハンドラ 4 が起動される。タイマハンドラ 4 の処理 S 1 1 1 ~ 1 1 2 は、第 3 図と同じであるため、説明を省略する。S 4 1 1 において、次回割込みまでの時間が定められた時間よりも長いかどうか判断し、もし長ければ S 4 1 2 において省電力動作フラグ 1 6 を立てる。副 O S 処理ステップおよび副 O S 割込みステップは第 4 図と同じであるため説明は省略する。

実施の形態 1 から実施の形態 3 に係るプロセッサ省電力制御方法によると、主 O S 1 上に実行可能タスクが存在しない場合、常にプロセッサ 2 を省電力モードにしていた。しかしながら、プロセッサ 2 が頻繁に省電力モードに移行すると、オーバヘッド（省電力モードからの復帰に時間がかかる場合に発生する）が生じる。そこで、上記説明によるプロセッサ省電力制御方法は、省電力動作制御フラグ 1 6 を参照し、プロセッサの空き時間が予め決められた時間以上にならないと省電力モードに移行しないようにすることによって、プロセッサ 2 が頻繁に省電力モードに移行することを防ぐことができる。

#### 実施の形態 5 .

第 1 1 図はこの発明の実施の形態 5 に係るプロセッサ省電力制御装置を示す概念図である。第 1 2 図はプロセッサ省電力制御方法の処理手順のうち、主 O S 処理ステップを説明するフローチャートである。第 1 1 図において、1 7 は設定した時間経過毎に主 O S 1 に対して周期割込みを行うハードウェアタイマである。なお、第 1 1 図において、第 2 図と同一の符号は同一または相当部分を示すので説明は省略する。以下、第 1 2 図を用いて主 O S 処理ステップについて説明する。ハードウェアタイマ 1 7 がタイマ割込みを起こすと主 O S 1 のタイマハンドラ 4 が起動

される。タイマハンドラ 4 の処理 S 1 1 1 ~ S 1 1 2 は第 3 図と同じであるため説明は省略する。主 O S 1 のタイマ割込み処理の結果、S 5 1 1 において時間経過待ちする必要があるかどうか判断する。S 5 1 1 において時間経過待ちする必要があるれば、S 5 1 2 においてタイマ割込み停止中かどうか判断し、停止中であれば、S 5 1 3 においてタイマ割込みを再開する。一方、S 5 1 1 において時間待ちする必要がなければ、S 5 1 4 においてハードウェアタイマ 1 7 を停止させ、タイマ割込みを停止させる。

上記説明によるプロセッサ省電力制御方法は、主 O S 1 のシステムタイマとして周期割込みを用いることができるため、容易に省電力機能を実現することが可能となる。さらに、時間経過待ちが不要で再度の割込みが不要な時には、ハードウェアタイマ 1 7 を停止することでハードウェアタイマ 1 7 からの割込み回数を減少させ、プロセッサ 2 が省電力モードである時間を長く保つことが可能となる。

## 実施の形態 6 .

第 1 3 図はこの発明の実施の形態 6 に係るプロセッサ省電力制御装置を示す概念図である。第 1 3 図において、1 8 は長周期用タイマ、1 9 は長周期用タイマライブラリである。なお、第 1 3 図において第 1 1 図と同一の符号は同一または相当部分を示すので説明は省略する。また、主 O S 処理ステップ、副 O S 処理ステップおよび副 O S 割込みステップについては第 1 2 図、第 4 図と同じであるため説明は省略する。

以下、説明するプロセッサ省電力制御方法は、タスクの性質に応じて、タイマ割込みを行うタイマの種類を変更するものである。すなわち、一定時間毎に実行しなければならないタスクのように、時間経過待ちを常に必要とし、その実行時間間隔が長いタスクについては長周期用タイ

マ 1 8 を用いてタイマ割込みさせ、時間経過待ちを必要としないその他のタスクについては短周期用タイマ、すなわちハードウェアタイマ 1 7 を用いてタイマ割込みさせるものである。主 OS 1 上のタスク 7 および副 OS 8 上のタスク 1 2 が、常に時間経過待ちを要求するようなタスクである場合には、再度のタイマ割込みは不必要であるのでハードウェアタイマ 1 7 を停止する。

一方、常に時間経過待ちを要求するようなタスクである場合には再度のタイマ割込みが必要であるため、ハードウェアタイマ 1 7 を停止することができない。したがって、タスクが常に時間経過待ちを要求するものである場合、時間経過待ち中に頻繁にタイマ割込みが発生し、プロセッサの省電力モードを維持することができないという問題があった。このような場合、短周期用タイマであるハードウェアタイマ 1 7 ではなく、長周期用タイマ 1 8 を用いてタイマ割込みさせることにより、ハードウェアタイマ 1 7 を停止させることができる。

実施の形態 5 にて説明したプロセッサ省電力制御装置によると、常に時間経過待ちを要求するタスクが存在した場合、ハードウェアタイマ 1 7 を止めることができず、結果として、非常に細かい周期でタイマ割込みが頻繁に発生するという問題があった。これに対して、常に時間経過待ちを要求するタスクは時計アプリケーションのように長周期でタイマ割込みを要求することを利用する上記説明によるプロセッサ省電力制御方法は、常に時間経過待ちを要求するタスクは別のタイマで管理されるため、ハードウェアタイマ 1 7 による周期割込みを停止することができるので、プロセッサ 2 が省電力モードにある時間を長くすることができるので、消費電力を抑制することができる。

また、上記説明によるプロセッサ省電力制御装置は長周期用タイマ 1 8 を備えたことにより、実行待ち時間が異なるタスクに関しては長周期

用タイマ 18 でタイマ割込みをすることが可能になり、ハードウェアタイマ 17 を停止して消費電力を低減させることができる。

実施の形態 7.

第 14 図はこの発明の実施の形態 7 に係るプロセッサ省電力制御装置を示す概念図である。第 15 図は主 OS 処理ステップのうちタイマ割込み処理を説明するフローチャートである。第 16 図は時刻用タイマによる割込み処理を説明するフローチャートである。第 14 図において、20 は時刻用タイマ、21 は時刻用タイマハンドラである。なお、第 14 図において、第 2 図に示す符号と同一の符号は同一または相当部分を示すので説明は省略する。

通常、ハードウェアタイマ 3 が非周期割込みを行う場合であって、正確な時を刻む必要があるときにはハードウェアタイマ 3 とは別の時刻用タイマ 20 を利用する。この時刻用タイマ 20 がハードウェア的にカウント可能な値には限界があり（例えば、16 ビット、32 ビットなどカウンタのビット数による）、その限界点に達すると、OS に対して割込みを発生し、ソフトウェア的に保持している時刻を更新する処理を行う。

次に動作について説明する。主 OS 処理ステップは S101～S104、S112 は第 3 図と同じであるため説明は省略する。また、副 OS 処理ステップおよび副 OS 割込みステップは第 4 図と同じであるため説明は省略する。主 OS 処理ステップのうち S111 は第 15 図に示す処理を行う。第 15 図において、S701 において通常のタイマ割込み処理を行った後、S702 においてハードウェアタイマ 3 のカウンタ設定値が時刻用タイマ 20 の最大設定範囲を超えているかどうか判断する。カウンタ設定値が時刻用タイマ 20 の最大設定範囲を超えていなければ

S 7 0 3 においてハードウェアタイマ設定を行う。カウンタ設定値が時刻用タイマ 2 0 の最大設定範囲を超えていれば、タイマ設定を行わずに主 O S 1 のタイマ割込み処理を終了する。

次に、時刻用タイマ割込み処理の動作について第 1 6 図を用いて説明する。時刻用タイマ割込みが発生すると、S 7 1 1 においてソフトウェア的に保持されている時刻を更新する処理を行い、S 7 1 2 において、時刻用タイマ割込み設定を行う。S 7 1 3 において、次回割込み時間経過通知が必要な時間にタイマカウンタ値を設定するため、タイマカウンタ値が時刻用タイマ 2 0 の最大設定範囲を超えているかどうか判断し、超えていなければ、S 7 1 4 においてハードウェアタイマ設定を行う。

以上説明したように、上記説明によるプロセッサ省電力制御方法は、時刻用タイマ 2 0 とハードウェアタイマ割込みを統合して管理することにより、タイマの割込み回数を削減し、長い間プロセッサ 2 を省電力モードに保つことができる。

また、上記説明によるプロセッサ省電力制御装置は、時刻用タイマ 2 0 を備えたので、正確な時刻にタイマ割込みを発生させることができる。

#### 産業上の利用可能性

以上のように、この発明に係わるプロセッサ省電力制御方法、記録媒体、およびプロセッサ省電力制御装置は、省電力機能を有する 1 つのプロセッサ上に複数の O S が存在する環境において、各 O S に対するタイマ割込みを統合して制御することにより、タイマ割込み回数を少なくし、効率良くプロセッサの省電力モードを維持するのに適している。

## 請 求 の 範 囲

1. プロセッサにより実行制御される複数のOSとして、所定の時間経過を契機としてハードウェアタイマから出力されるタイマ割込みを受け付ける主OSと、この主OSにより実行されるタスクとして扱われる副OSを含み、前記主OSにおいて、前記タイマ割込みを契機として実行可能なタスクがないか判定し、前記副OS上に実行可能なタスクがある場合には、前記副OSに対して割込みを行うことを特徴とするプロセッサ省電力制御方法。

2. 複数のOSを実行制御するとともに、前記複数のOS上に実行すべきタスクが存在しない場合に動作が停止されるプロセッサに対して、任意の時間経過を契機として前記プロセッサを起動させるハードウェアタイマによるタイマ割込み処理を制御し、前記プロセッサの省電力状態を保持するプロセッサ省電力制御方法において、

前記複数のOSとして、前記ハードウェアタイマからのタイマ割込みを受け付ける主OSと、この主OSにより実行されるタスクとして扱われる副OSとを含み、

この主OSによる、前記タイマ割込みを検出するステップ、前記タイマ割込みを契機として、実行すべきタスクの有無を判定する第一の判定ステップ、実行すべきタスクが存在しない場合に前記プロセッサを停止させるプロセッサ停止ステップを含む主OS処理ステップと、

前記副OSによる、実行すべきタスクの有無を判定する第二の判定ステップ、実行すべきタスクがない場合に前記第一の判定ステップに処理を引き渡すステップを含む副OS処理ステップと、

前記第一の判定ステップにより前記副OS上に実行すべきタスクが



存在すると判定された場合に前記副OSに割込み処理を行い、この割込みを契機として時間を計測して所定時間に前記第二の判定ステップを実行させる副OS割込みステップとを含むことを特徴とするプロセッサ省電力制御方法。

3. 副OS割込みステップは、一定時間ごとに副OSに割込みをする周期起動ハンドラにより実行されることを特徴とする請求の範囲第2項記載のプロセッサ省電力制御方法。

4. 副OS割込みステップは、指定された時間後に副OSに割込みをするアラームハンドラにより実行されることを特徴とする請求の範囲第2項記載のプロセッサ省電力制御方法。

5. 副OS割込みステップは、副OSに割込みをするタスクであって、主OSが実行するべきタスクのうち最も高い優先順位が付された高優先度タスクにより実行されることを特徴とする請求の範囲第2項記載のプロセッサ省電力制御方法。

6. プロセッサ停止ステップは、ハードウェアタイマによる次のタイマ割込みまでの時間が予め定められた時間よりも長い判定するステップを含み、計測された時間が予め定められた時間よりも長い場合にプロセッサの動作を停止させることを特徴とする請求の範囲第2項記載のプロセッサ省電力制御方法。

7. 主OS処理ステップは、ハードウェアタイマが一定時間ごとに周期的にタイマ割込み処理を行う場合、タスクの実行予定時間まで再度のタ

イマ割込み処理が必要か判定するステップと、再度のタイマ割込み処理が必要なければ前記ハードウェアタイマを停止させるステップを含むことを特徴とする請求の範囲第2項記載のプロセッサ省電力制御方法。

8. 主OS処理ステップは、ハードウェアタイマよりも長い周期でタイマ割込みを行う長周期用ハードウェアタイマによるタイマ割込みを検出するステップを含むことを特徴とする請求の範囲第7項記載のプロセッサ省電力制御方法。

9. 主OS処理ステップは、時刻を計測するとともに所定の時刻にタイマ割込みを行う時刻用タイマによるタイマ割込みを検出するステップを含むことを特徴とする請求の範囲第2項記載のプロセッサ省電力制御方法。

10. 実行するべきタスクが存在しない場合に停止されるプロセッサにより実行制御される複数のOSとして、任意の時間経過を契機として前記プロセッサを起動させるハードウェアタイマからタイマ割込みを受け付ける主OSと、この主OSにより実行されるタスクとして扱われる副OSとを含み、

前記主OSにおいて、前記ハードウェアタイマによるタイマ割込みを検出するステップ、前記タイマ割込みを契機として、実行するべきタスクの有無を判定する第一の判定ステップ、実行するべきタスクが存在しない場合に前記プロセッサを停止させるプロセッサ停止ステップを含む主OS処理ステップと、

前記副OSにおいて、実行するべきタスクの有無を判定する第二の判定ステップ、実行するべきタスクがない場合に前記第一の判定ステップ

に処理を引き渡すステップを含む副OS処理ステップと、

前記第一の判定ステップにおいて前記副OS上に実行すべきタスクが存在すると判定された場合に前記副OSに割込み処理を行い、この割込みを契機として時間を計測して所定時間に前記第二の判定ステップを実行させる副OS割込みステップを、コンピュータに実行させるためのプログラムを記録したコンピュータ読み取り可能な記録媒体。

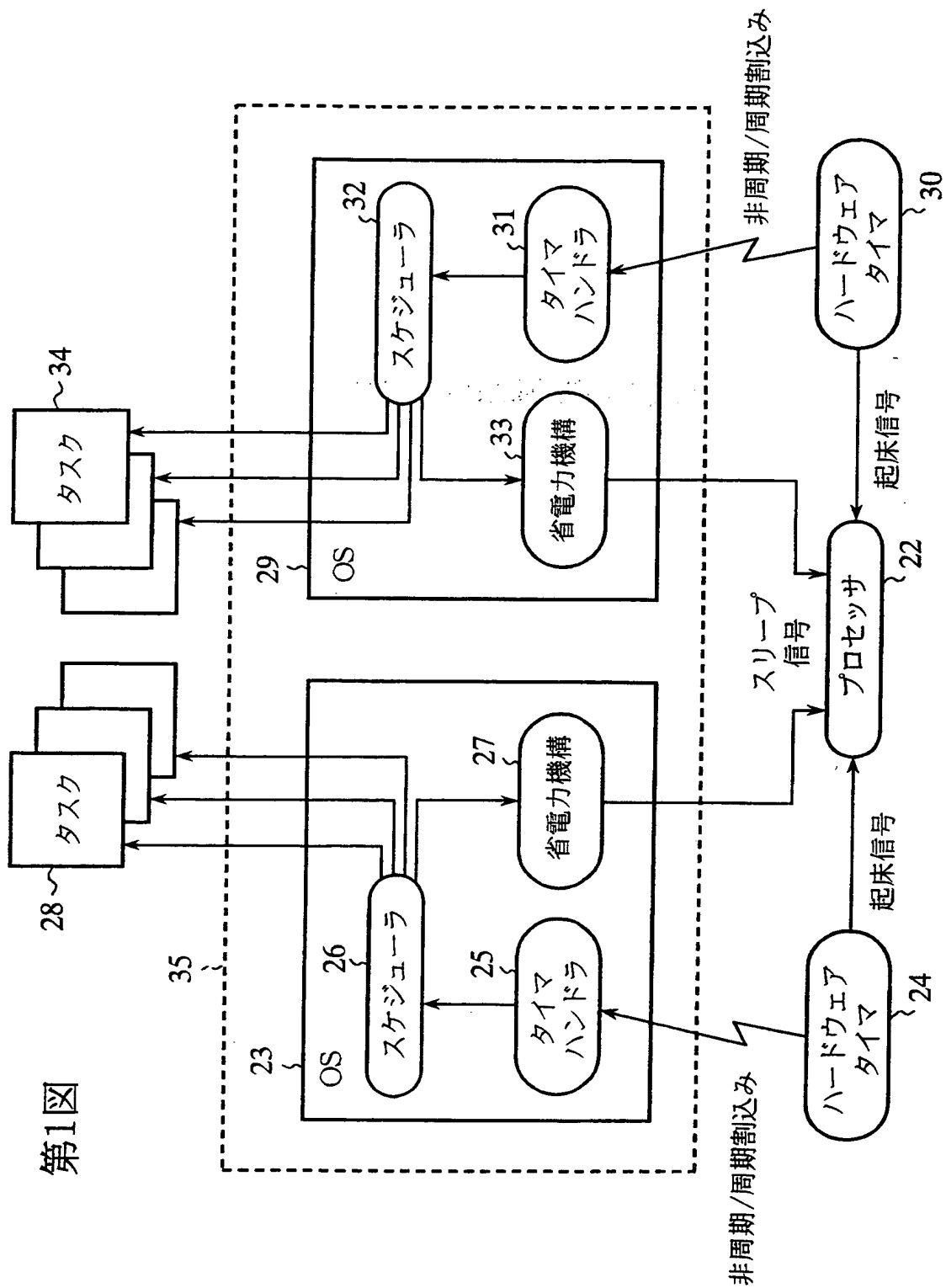
11. 任意の時間経過を契機としてタイマ割込みを行い、処理すべきタスクが存在しない場合に動作が停止されるプロセッサを起動させるハードウェアタイマを含むタイマ手段と、

前記タイマ割込みを契機として実行すべきタスクの有無を判定し、実行すべきタスクが存在しない場合には前記プロセッサを停止させ、実行すべきタスクが存在する場合には割込みを行う主OS、この主OSにより実行されるタスクとして扱われ、前記主OSからの割込みを契機として実行すべきタスクの有無を判定し、実行すべきタスクが存在する場合にはタスクを実行する副OSを記憶した記憶手段とを備えたことを特徴とするプロセッサ省電力制御装置。

12. タイマ手段は、ハードウェアタイマよりも長い周期でタイマ割込みを行う長周期用タイマを有することを特徴とする請求の範囲第11項記載のプロセッサ省電力制御装置

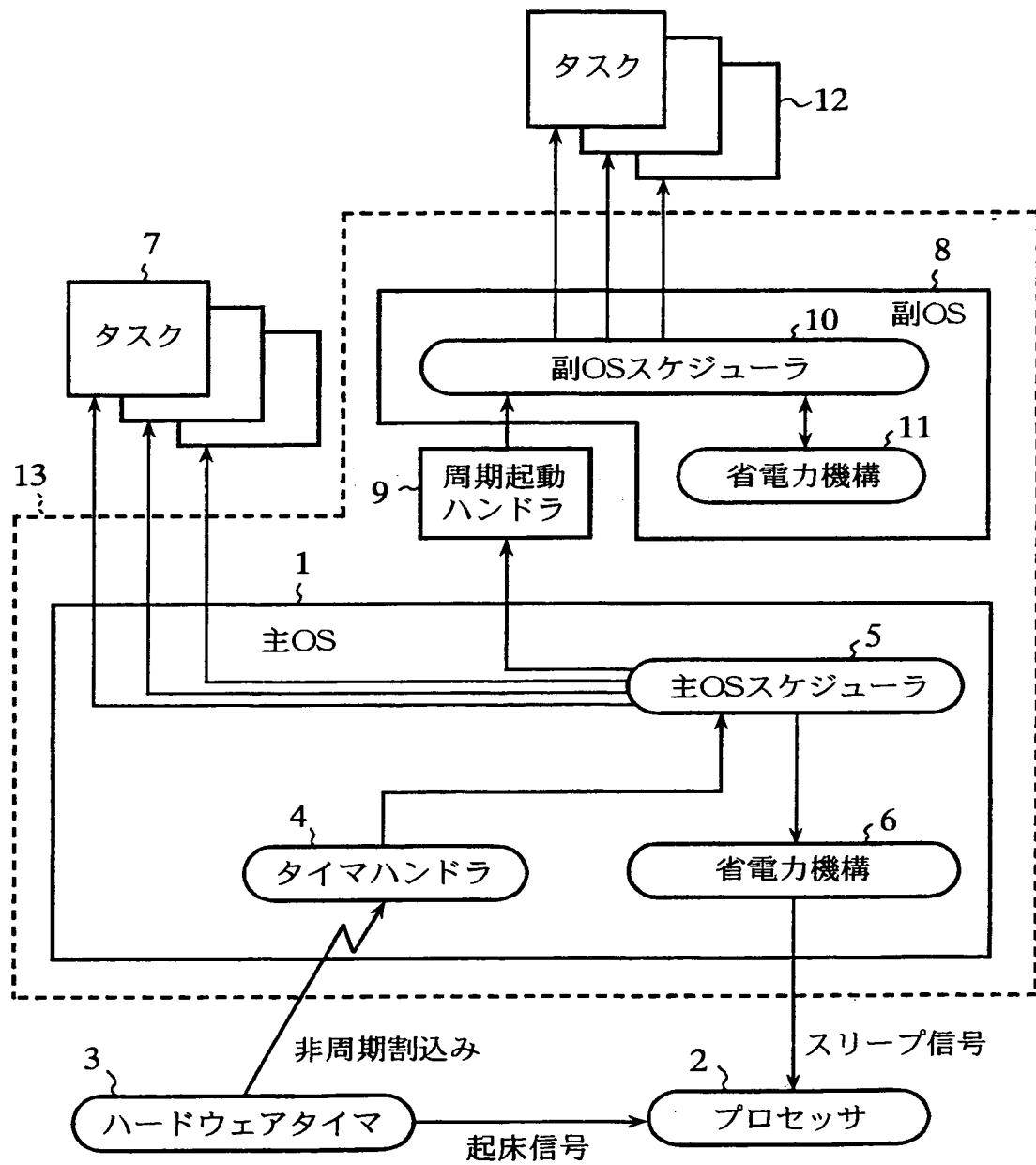
13. タイマ手段は、時刻用タイマを有することを特徴とする請求の範囲第11項記載のプロセッサ省電力制御装置

**THIS PAGE BLANK (USPTO)**



**THIS PAGE BLANK (USPTO)**

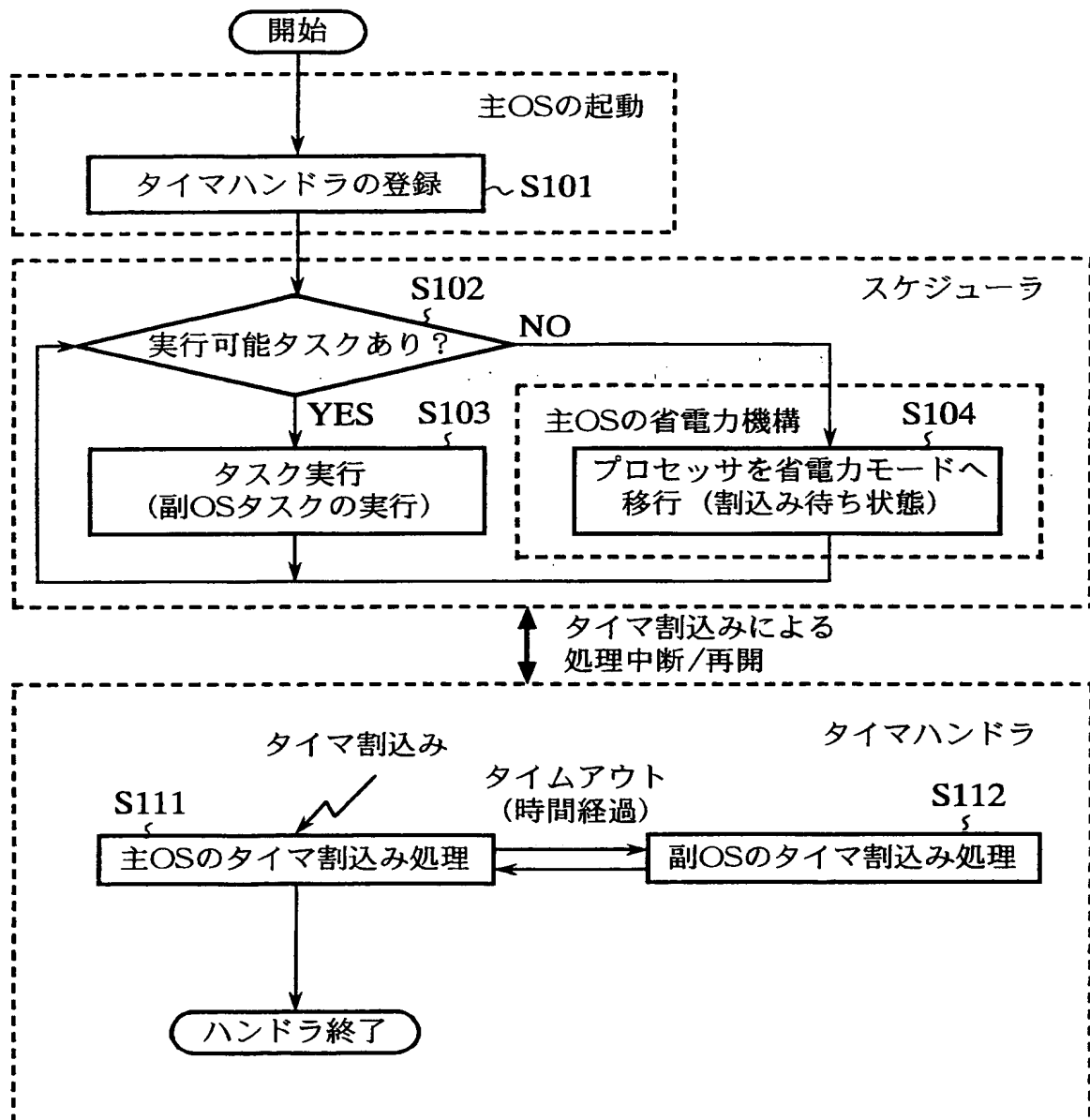
第2図



**THIS PAGE BLANK (USPTO)**

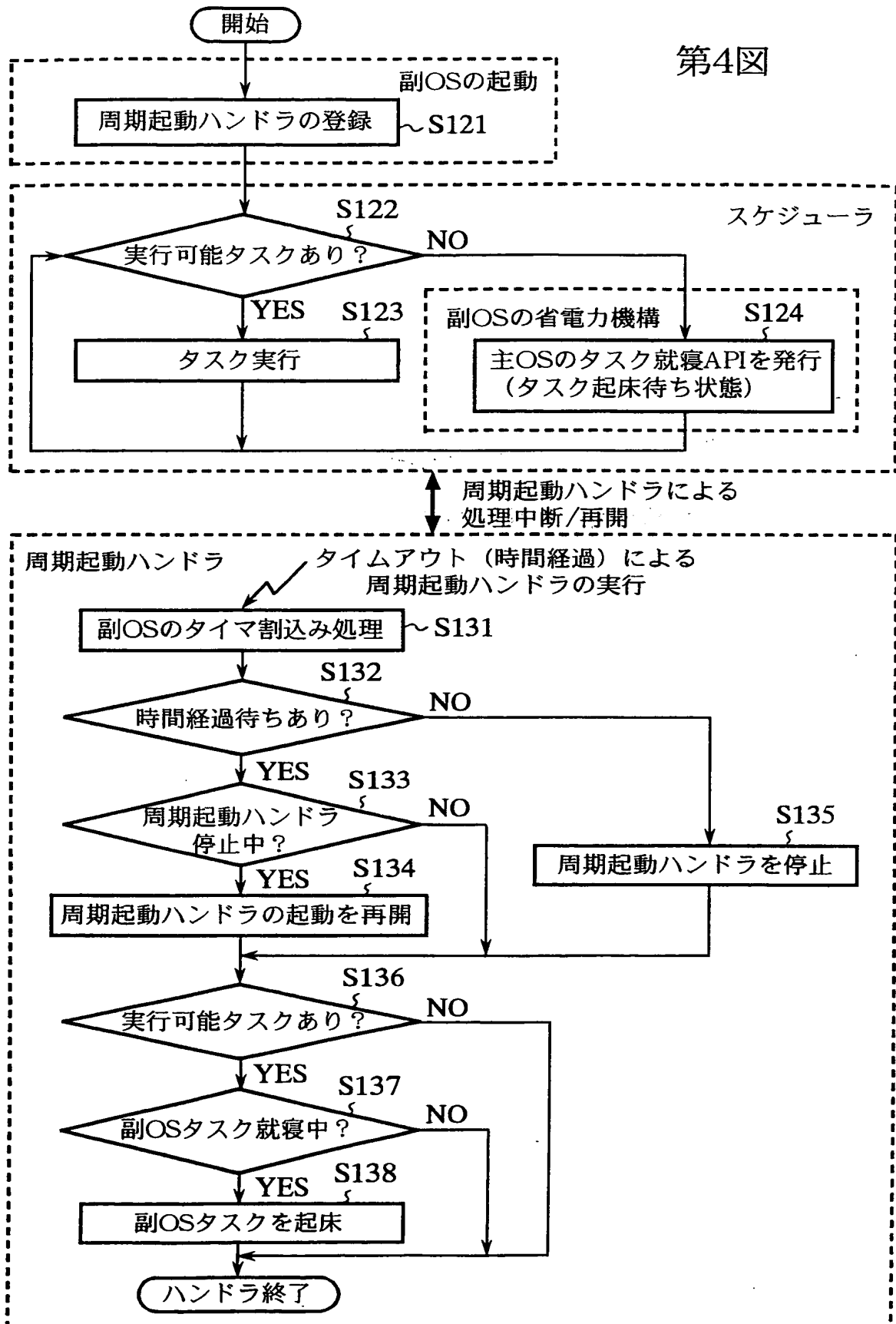


## 第3図



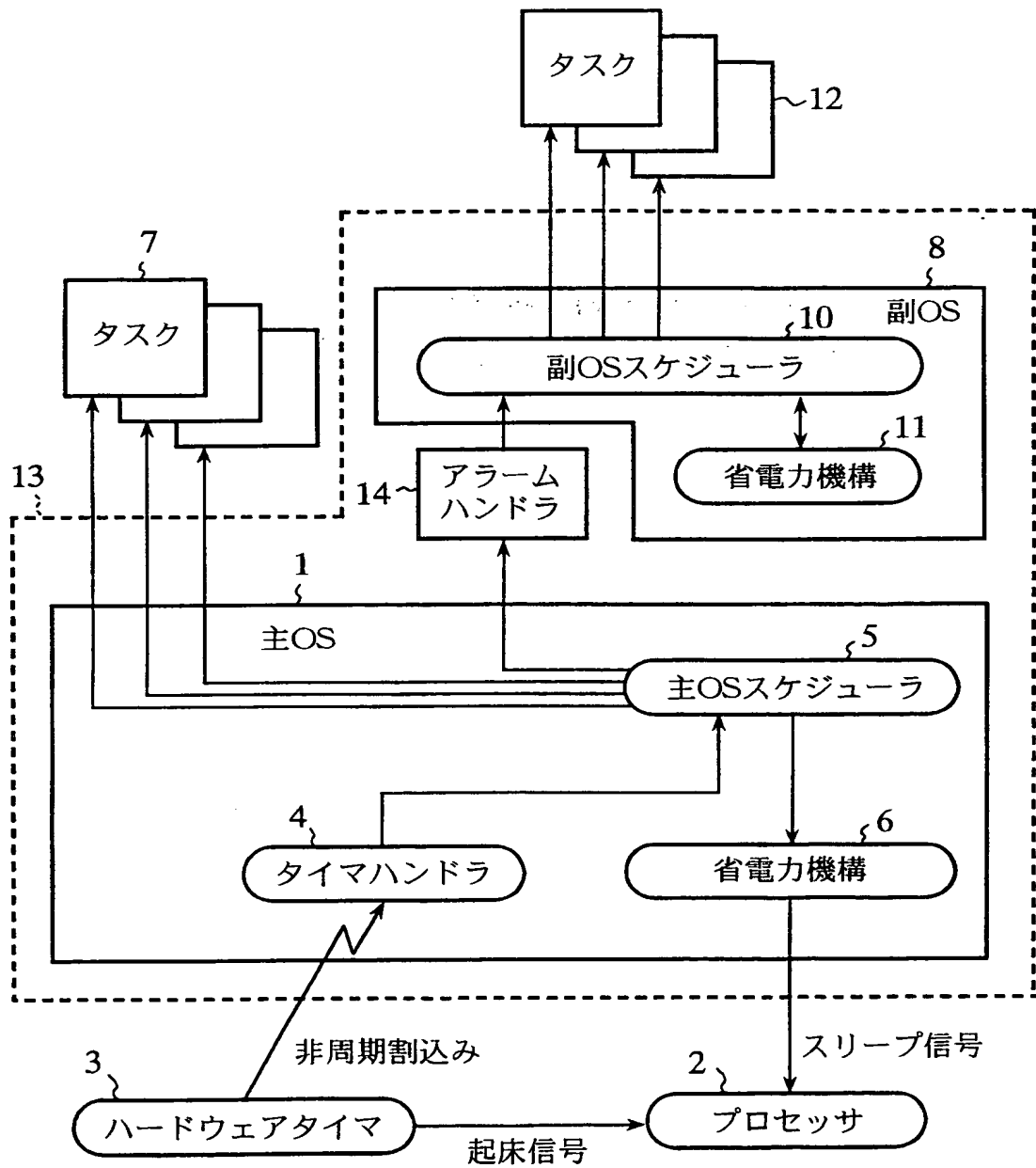
**THIS PAGE BLANK (USPTO)**

第4図



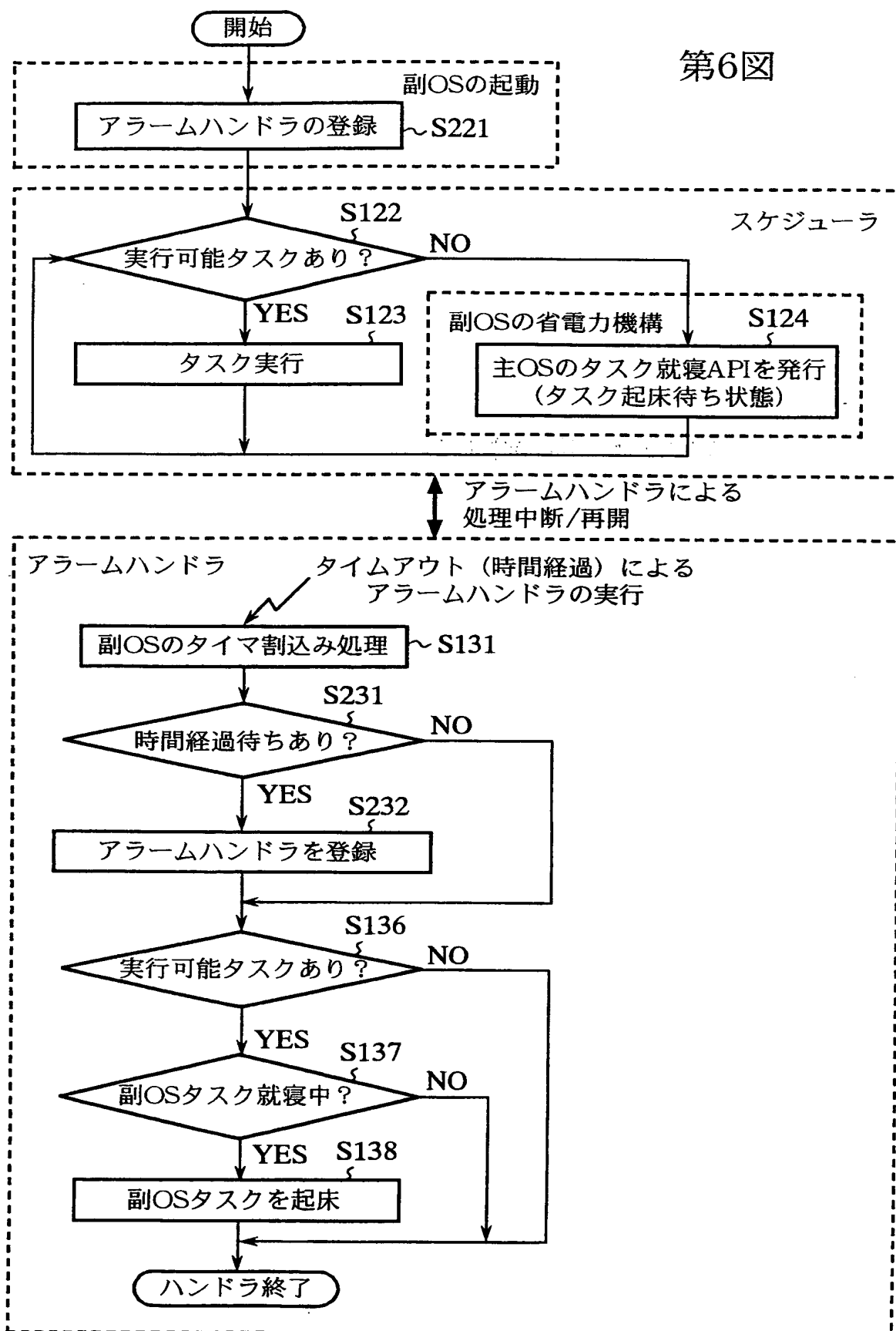
**THIS PAGE BLANK (USPTO)**

第5図



**THIS PAGE BLANK (USPTO)**

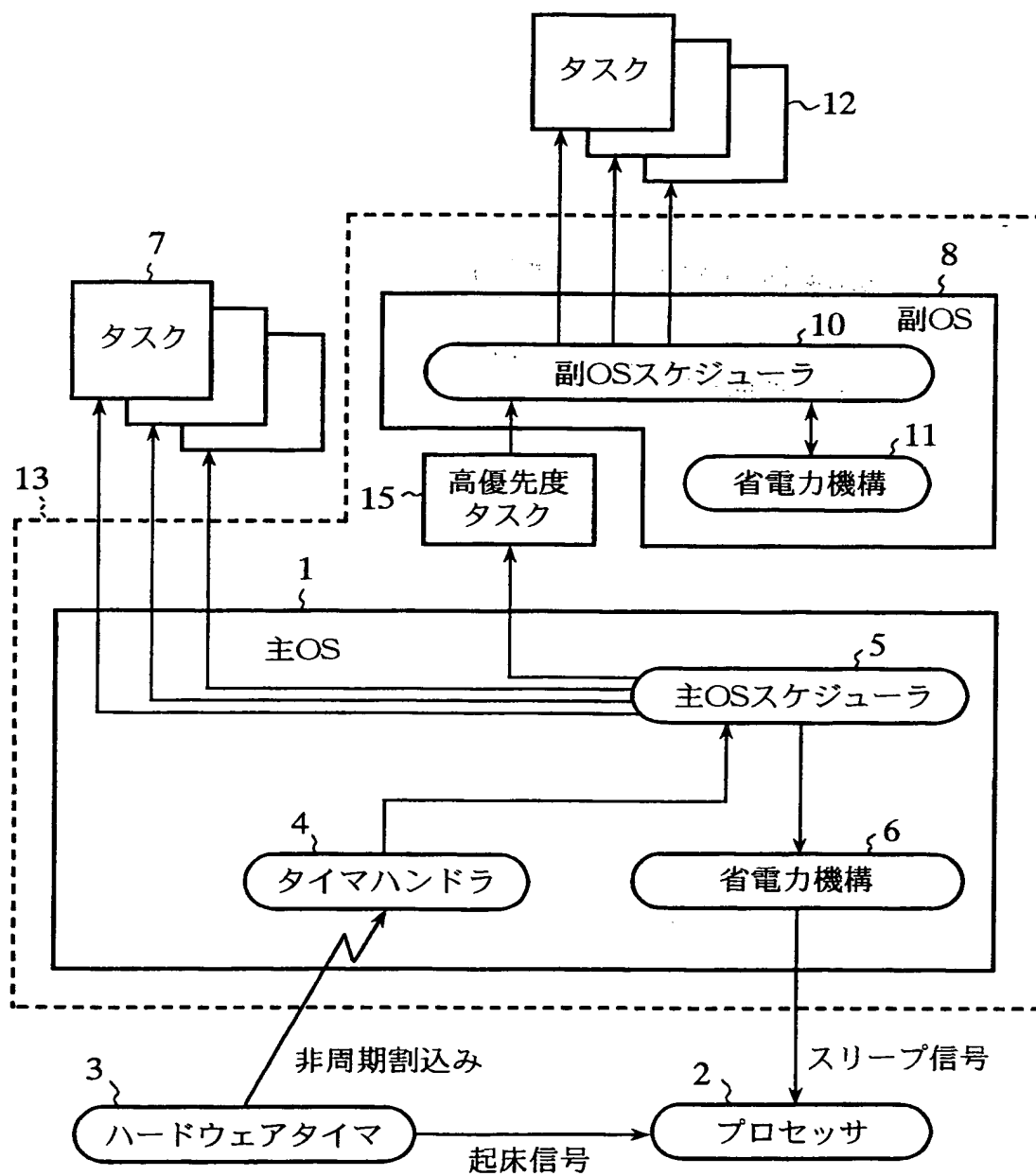
第6図



**THIS PAGE BLANK (USPTO)**

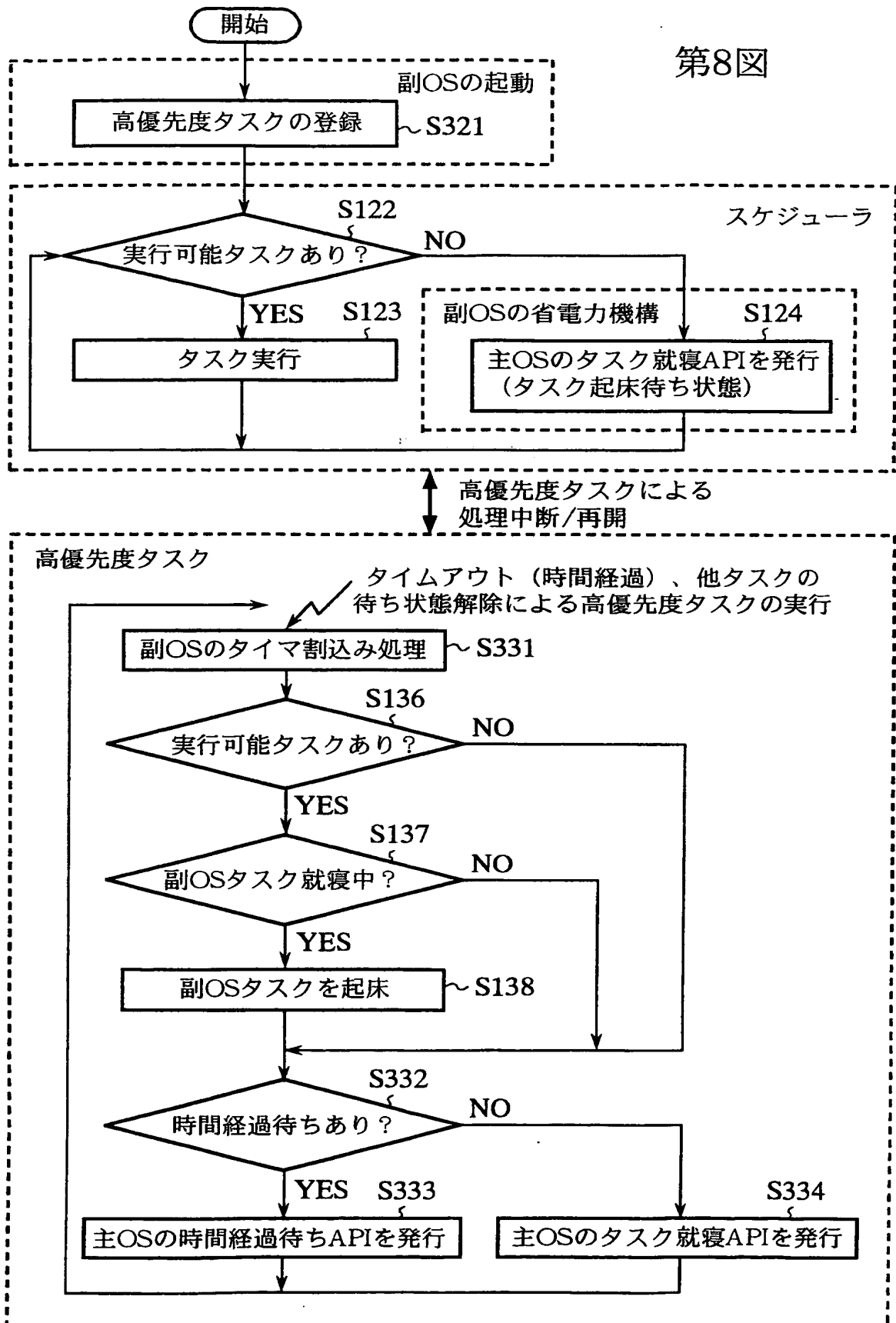


第7図



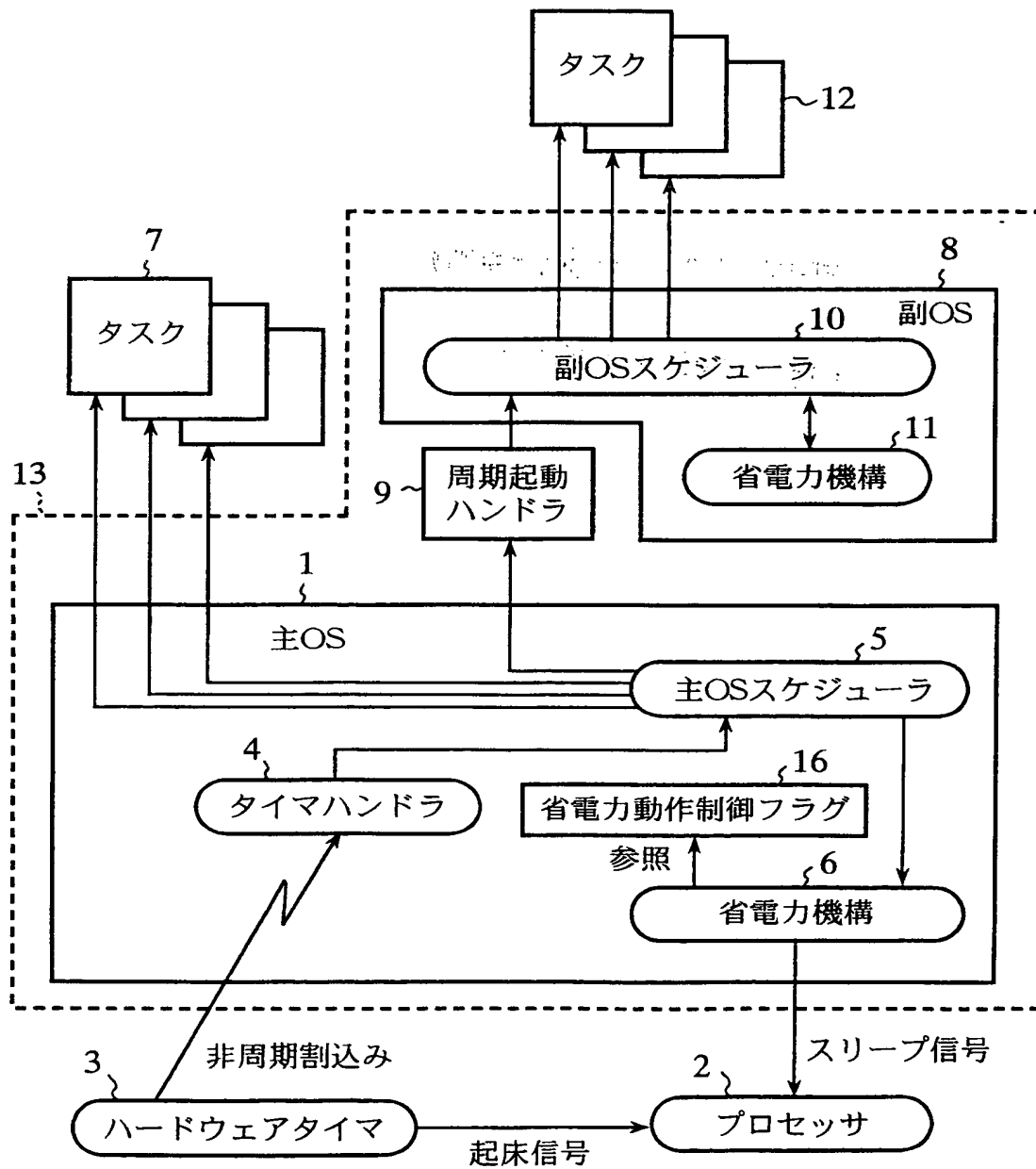
**THIS PAGE BLANK (USPTO)**

第8図



THIS PAGE BLANK (USPTO)

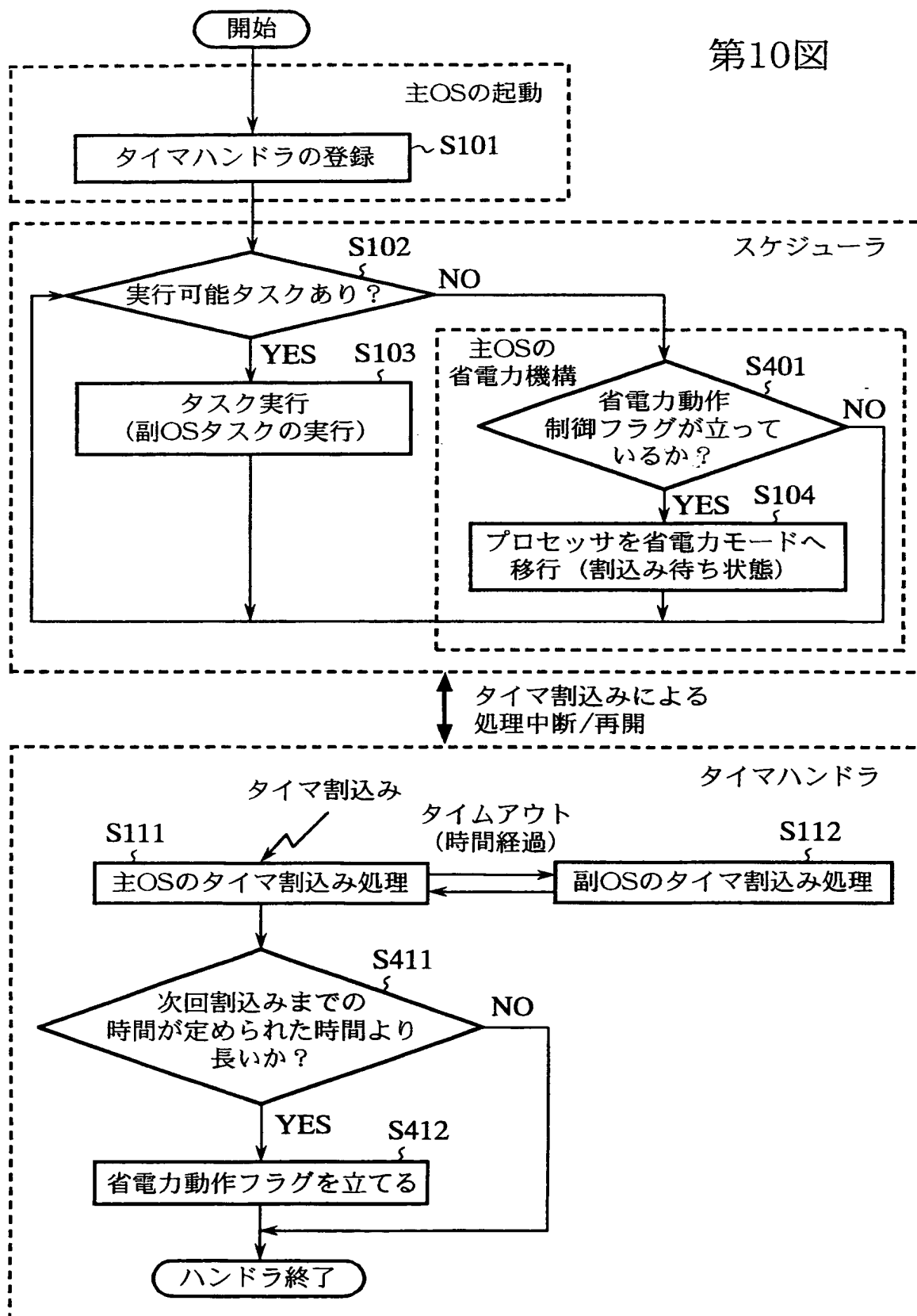
第9図



**THIS PAGE BLANK (USPTO)**

10/15

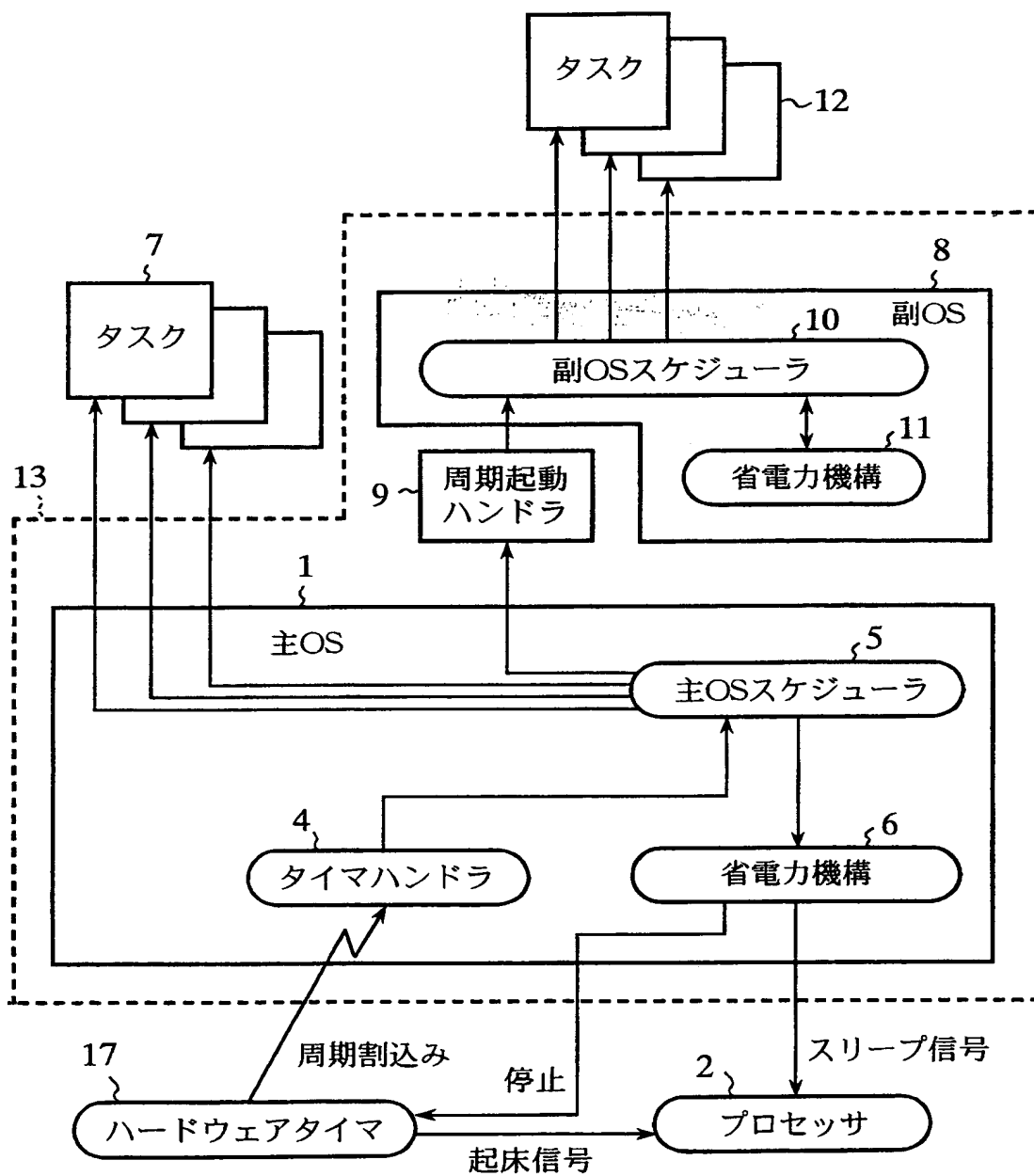
第10図



**THIS PAGE BLANK (USPTO)**

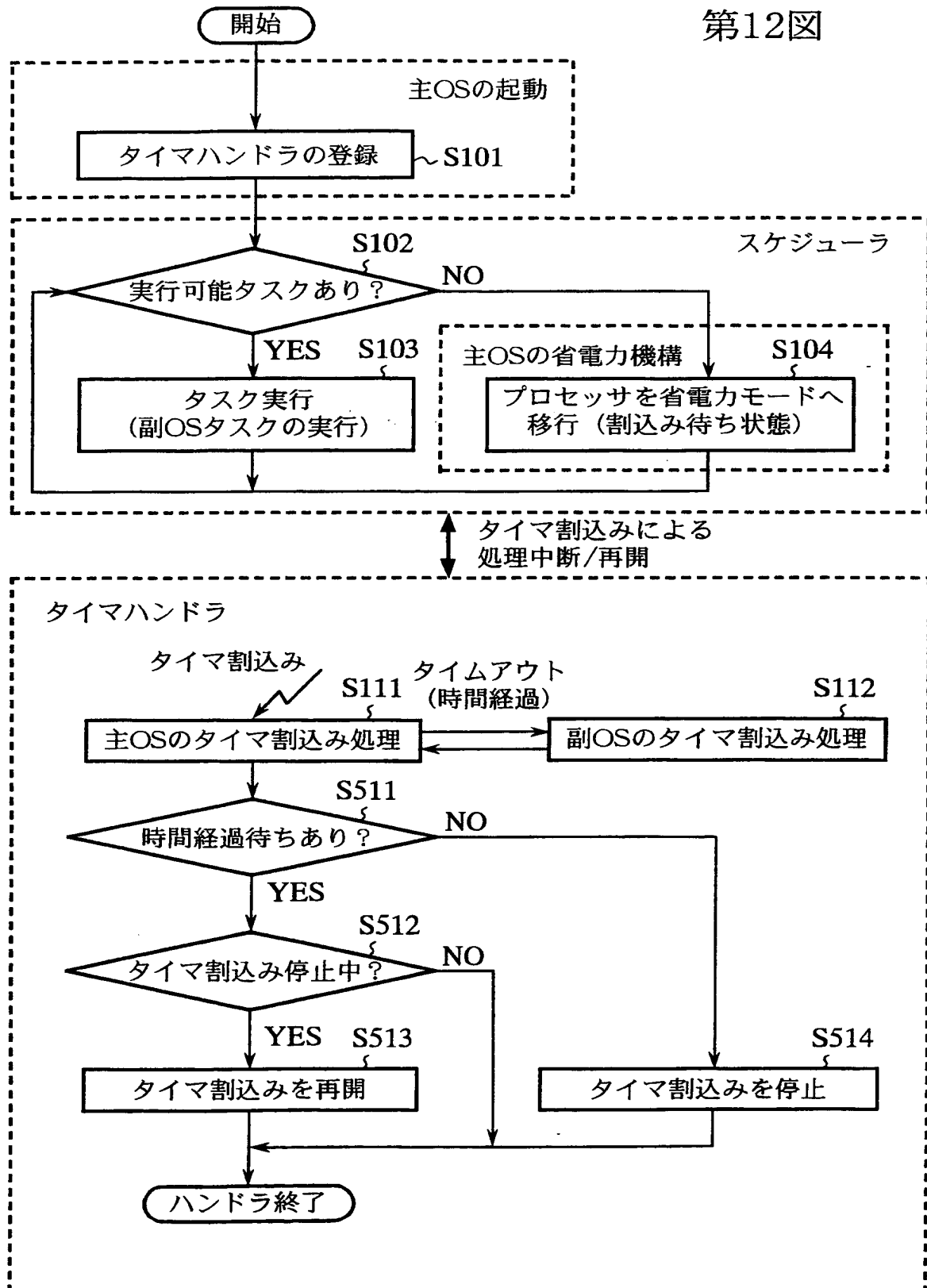


第11図



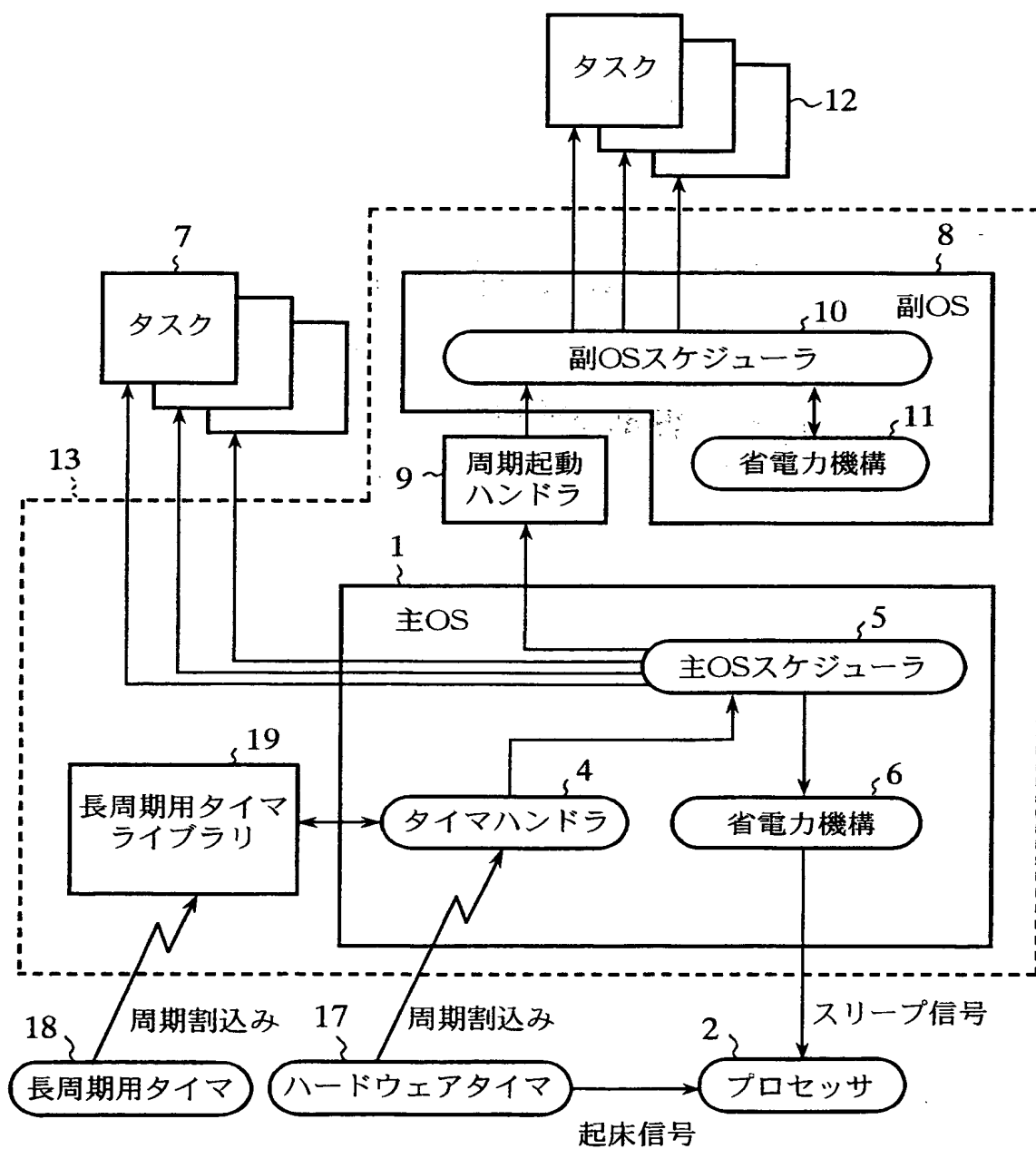
THIS PAGE BLANK (USPTO)

第12図



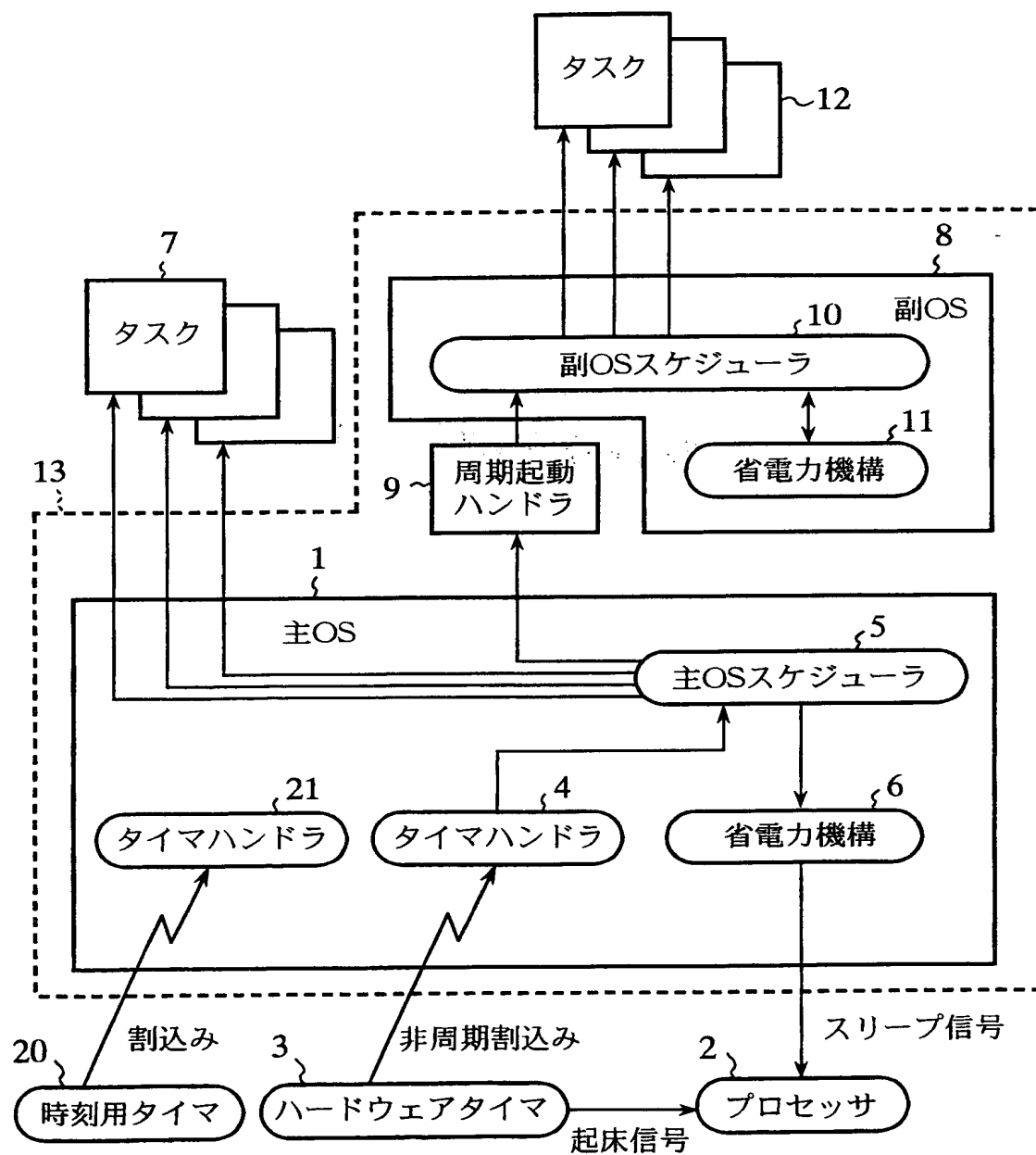
**THIS PAGE BLANK (USPTO)**

第13図



**THIS PAGE BLANK (USPTO)**

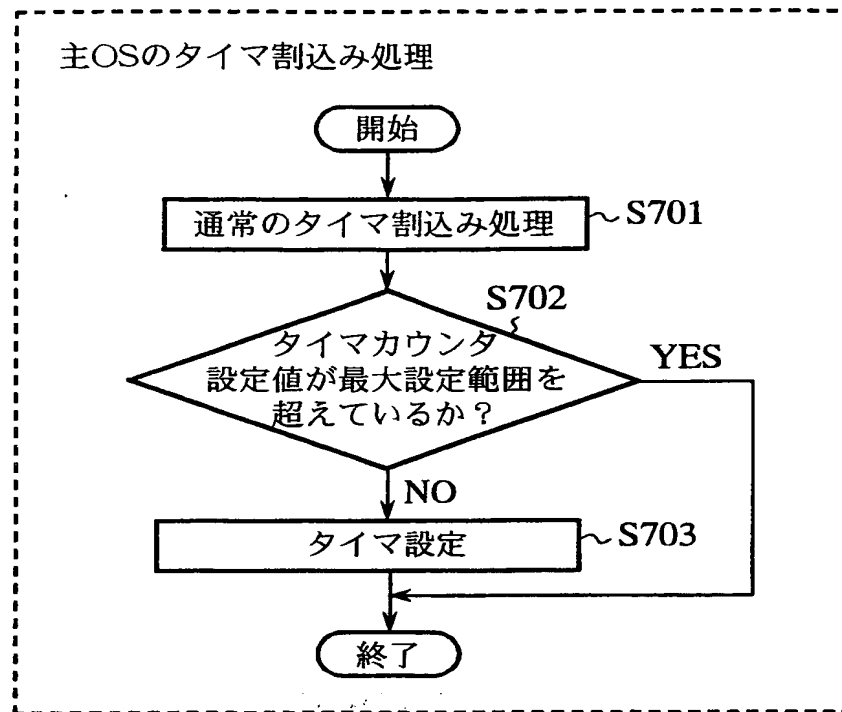
第14図



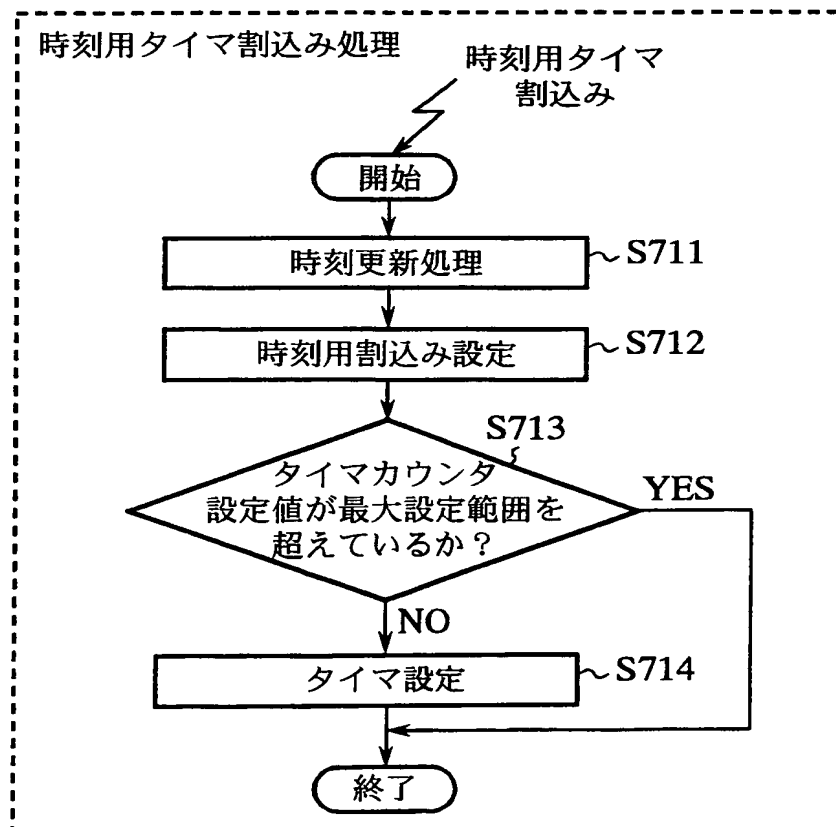
**THIS PAGE BLANK (USPTO)**



第15図



第16図



**THIS PAGE BLANK (USPTO)**

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/08176

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> G06F9/46, G06F1/32

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G06F9/46, G06F1/32, G06F1/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2001  
Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 59-197938, A (NEC Corporation), 09 November, 1984 (09.11.84), Full text; Figs. 1 to 5 (Family: none)	1, 11, 13
Y	JP, 62-150416, A (NEC Corporation), 04 July, 1987 (04.07.87), page 2, upper left column, lines 1 to 4; page 2, upper right column, lines 16 to 18 (Family: none)	11, 13
A	JP, 55-57953, A (Fujitsu Limited), 30 April, 1980 (30.04.80), Full text; Figs. 1 to 8 (Family: none)	1-13

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:  
"A" document defining the general state of the art which is not  
considered to be of particular relevance  
"E" earlier document but published on or after the international filing  
date  
"L" document which may throw doubts on priority claim(s) or which is  
cited to establish the publication date of another citation or other  
special reason (as specified)  
"O" document referring to an oral disclosure, use, exhibition or other  
means  
"P" document published prior to the international filing date but later  
than the priority date claimed

"T" later document published after the international filing date or  
priority date and not in conflict with the application but cited to  
understand the principle or theory underlying the invention  
"X" document of particular relevance; the claimed invention cannot be  
considered novel or cannot be considered to involve an inventive  
step when the document is taken alone  
"Y" document of particular relevance; the claimed invention cannot be  
considered to involve an inventive step when the document is  
combined with one or more other such documents, such  
combination being obvious to a person skilled in the art  
"&" document member of the same patent family

Date of the actual completion of the international search  
22 January, 2001 (22.01.01)

Date of mailing of the international search report  
30 November, 2001 (30.01.01)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**THIS PAGE BLANK (USPTO)**

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int Cl <sup>7</sup> G06F9/46, G06F1/32		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int Cl <sup>7</sup> G06F9/46, G06F1/32, G06F1/08		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2001年 日本国登録実用新案公報 1994-2001年 日本国実用新案登録公報 1996-2001年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 59-197938, A (日本電気株式会社) 09. 11月. 1984 (09. 11. 84) 全文, 第1-5図 (ファミリーなし)	1, 11, 13
Y	JP, 62-150416, A (日本電気株式会社) 04. 7月. 1987 (04. 07. 87) 第2頁左上欄第1-4行、第2頁右上欄第16-18行 (ファミリーなし)	11, 13
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	22. 01. 01	国際調査報告の発送日
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 久保 光宏 電話番号 03-3581-1101 内線 3546

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 55-57953, A (富士通株式会社) 30. 4月. 1980 (30. 04. 80) 全文, 第1-8図 (ファミリーなし)	1-13

## PATENT COOPERATION TREATY

PCT

From the INTERNATIONAL BUREAU

NOTIFICATION CONCERNING  
SUBMISSION OR TRANSMITTAL  
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

To:

TAZAWA, Hiroaki  
Daito Building, 7F  
7-1, Kasumigaseki 3-chome  
Chiyoda-ku, Tokyo 100-0013  
JAPON

Date of mailing (day/month/year) 08 February 2001 (08.02.01)	<b>IMPORTANT NOTIFICATION</b>
Applicant's or agent's file reference 520471B	
International application No. PCT/JP00/08176	
International publication date (day/month/year) Not yet published	
International filing date (day/month/year) 20 November 2000 (20.11.00)	Priority date (day/month/year) 08 March 2000 (08.03.00)
Applicant MITSUBISHI DENKI KABUSHIKI KAISHA et al	

1. The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
2. This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
3. An asterisk(\*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
4. The letters "NR" appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
08 Marc 2000 (08.03.00)	2000/63188	JP	19 Janu 2001 (19.01.01)

The International Bureau of WIPO  
34, chemin des Colombettes  
1211 Geneva 20, Switzerland

Facsimile No. (41-22) 740.14.35

Authorized officer

Somsak Thiphrakesone

Telephone No. (41-22) 338.83.38

**THIS PAGE BLANK (USPTO)**



P C T

## 国際調査報告

(法 8 条、法施行規則第40、41条)  
〔P C T 1 8 条、P C T 規則43、44〕

出願人又は代理人 の書類記号 5 2 0 4 7 1 B	今後の手続きについては、国際調査報告の送付通知様式(P C T / I S A / 2 2 0 ) 及び下記 5 を参照すること。	
国際出願番号 P C T / J P 0 0 / 0 8 1 7 6	国際出願日 (日.月.年) 2 0 . 1 1 . 0 0	優先日 (日.月.年) 0 8 . 0 3 . 0 0
出願人 (氏名又は名称) 三菱電機株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条 ( P C T 1 8 条 ) の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

## 1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照)。

3. ☐ 発明の単一性が欠如している (第 II 欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第 III 欄に示されているように、法施行規則第47条 ( P C T 規則38.2(b) ) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 2 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

**THIS PAGE BLANK (USPTO)**